

2012 年度 修士論文要旨

# 機械語の複数部分を高速化する CPU 密結合型ハードウェアアクセラレータ

関西学院大学大学院理工学研究科  
情報科学専攻 石浦研究室 佐竹 俊亮

## 内容概要

本論文では, CPU で実行される機械語プログラムの指定部分を CPU と密結合するハードウェアに合成して処理を高速化に手法において, 機械語の複数の区間を処理対象にするためのハードウェア構成法を提案する. 戸田は CPU と密結合したコプロセッサによるハードウェア/ソフトウェア協調設計手法を提案しているが, 複数部分をハードウェア化できていなかった. そこで本論文では, 機械語プログラムの複数部分をハードウェアに変換し, これを CPU と密結合して処理を高速に実行するためのハードウェア構成方法を提案する. CPU と密結合するコプロセッサの合成手法は, 戸田が CPU と密結合したコプロセッサを提案しているが, 一つの区間しかハードウェア化しか想定しておらず, 複数の区間をハードウェア化することはできない. これに対して, 本論文の手法では一つのハードウェアモジュールが複数の区間の処理を実行できる構成をとる. これにより複数のハードウェアで処理をするのではなく, 1 つのハードウェアで複数の処理ができる. 複数の処理の間でハードウェア資源や制御が共有できるため, ハードウェアの利用効率が良くなる. また, プログラムの複数区間が合成可能になれば, アクセラレータからのソフトウェアサブルーチンの呼び出し等, 複雑な制御構造を扱うことも可能になる. この手法に基づいて, AES 暗号化処理の複数部分を MIPS R3000 互換プロセッサに結合可能なハードウェアアクセラレータとして FPGA (Field Programmable Array) 上に合成した結果, CPU と密結合した単体のコプロセッサと比較して実行サイクル数を削減できた.